

# PEMBUATAN *VIRTUAL LABORATORY* SEBAGAI ALAT BANTU AJAR KULIAH ELEKTRONIKA DIGITAL DENGAN SIMULATOR LOGIKA LOGICLY DAN DSCH2

Ery Safrianti

Laboratorium Mikroprosesor Jurusan Elektro Fakultas Teknik Universitas Riau, Kampus Bina Widya  
Km 12,5 Simpang Baru, Pekanbaru, 28293, Indonesia  
Email : [erysafrianti@yahoo.co.id](mailto:erysafrianti@yahoo.co.id)

## ABSTRAK

Penelitian tindakan kelas ini bertujuan untuk memberikan alternatif media pembelajaran bagi mahasiswa Program Studi Diploma 3 Jurusan Elektro Universitas Riau, khususnya pada mata kuliah Elektronika Digital. Mata kuliah dengan jumlah kredit 2 sks disertai Praktikum 1 sks ini diberikan pada semester ganjil, pelaksanaannya adalah tatap muka di kelas dan praktikum dilakukan setelah Ujian Tengah Semester. Pelaksanaan praktikum di laboratorium seringkali kurang memadai dalam menambah pemahaman mahasiswa karena keterbatasan waktu dan komponen elektronika. Untuk itu perlu alternatif media pembelajaran melalui pembuatan virtual laboratory menggunakan simulator logika. Ada dua jenis simulator yang digunakan yaitu *Logicly* yang harus dilakukan secara online menggunakan koneksi internet dan simulator DSCH2 yang penggunaannya secara offline dengan cara memasukkan programnya ke komputer. Hasil pembuatan modul untuk masing-masing simulator akan sangat mendukung mahasiswa dalam memahami konsep-konsep dasar rangkaian digital sederhana sampai pada perancangan aplikasi rangkaian digital yang lebih kompleks. Modul ini juga akan bersinergi dengan pemberian materi secara teoritis karena disesuaikan dengan silabus dan latihan soal pada buku ajar. Dalam praktek di kelas terlihat minat dan antusias mahasiswa dalam mencoba simulasi laboratorium maya ini.

**Kata kunci :** *virtual laboratory, digital, simulator, logicly, DSCH2*

### Pendahuluan

Elektronika Digital merupakan salah satu mata kuliah wajib yang diberikan pada program Diploma 3 Elektro Fakultas Teknik Universitas Riau. Mahasiswa yang mengambil mata kuliah ini berada pada semester 3 dan pada umumnya belum memiliki pengetahuan yang memadai mengenai materi perkuliahan. Untuk menunjang teori, juga diberikan praktikum pada semester yang sama.

Tujuan instruksional umum dari kuliah ini adalah pada akhir perkuliahan mahasiswa diharapkan mampu merancang dan menganalisa rangkaian digital sederhana dengan menggunakan gerbang-gerbang logika. Selama perkuliahan mahasiswa akan diberikan materi mengenai konsep dasar gerbang logika serta aplikasinya pada rangkaian digital. Kemudian teori yang sudah

diberikan dipraktekkan pada praktikum Elektronika Digital dengan menggunakan gerbang logika pada IC (*Integrated Circuit*) yang sudah jadi.

Praktikum yang selama ini dilaksanakan masih bersifat konvensional, yaitu dilakukan di Laboratorium Mikroprosesor secara berkelompok dan praktek langsung dengan menggunakan IC yang tersedia di pasaran. Selain memerlukan biaya rutin pembelian IC, praktikum juga dibatasi pada beberapa percobaan rangkaian digital saja sesuai yang tertera di modul praktikum, sehingga mahasiswa tidak dapat berkreasi untuk merancang dan mencoba rangkaian digital lain yang sangat banyak jumlahnya dan menarik untuk dibuat.

Melalui pembuatan *virtual laboratory*, maka mahasiswa dapat berkreasi dengan bebas

tanpa dibatasi biaya dan waktu, sehingga diharapkan dapat meningkatkan pemahaman mahasiswa untuk kuliah Elektronika Digital. Selain menarik dan menantang *virtual laboratory* ini juga dapat dirancang agar dapat dilakukan secara *online* (melalui internet) maupun secara *offline* (di komputer tanpa jaringan internet).

Pembuatan *virtual laboratory* untuk kuliah Elektronika Digital ini diharapkan dapat menjadi solusi terhadap masalah keterbatasan laboratorium, sehingga mahasiswa dapat mencapai keahlian (kompetensi) yang diharapkan.

Perancangan dan pembuatan modul *virtual laboratory* akan dilakukan dalam dua bentuk, yaitu secara *online* (memanfaatkan koneksi internet yang tersedia di fakultas) dengan menggunakan simulator logika *logically* dan secara *offline* dengan menggunakan simulator logika DSCH2. Simulator DSCH2 dapat di *install* di komputer, sehingga selain lathan di kelas mahasiswa juga dapat mencoba sendiri di rumah.

## METODE PENELITIAN

### Konsep Virtual Laboratory

*Virtual Laboratory* atau Vlab adalah proses pembelajaran elektronik dengan menggunakan simulasi komputer. Vlab merupakan media yang digunakan untuk membantu memahami suatu pokok bahasan dan dapat mensolusi keterbatasan atau ketiadaan perangkat laboratorium. Vlab dapat diakses melalui web sebagai suplemen perkuliahan.

Perbandingan keuntungan dan kerugian virtual lab dengan konvensional serta remote lab dapat dilihat pada Tabel 1.

**Tabel 1. Perbandingan keuntungan dan kerugian real, virtual dan remote lab (Nedic, 2003)**

Laboratory Type	Advantages	Disadvantages
Real	realistic data interaction with real equipment collaborative work interaction with supervisor	time and place restrictions requires scheduling expensive supervision required
Virtual	good for concept explanation no time and place restrictions interactive medium low cost	idealized data lack of collaboration no interaction with real equipment
Remote	interaction with real equipment calibration realistic data no time and place restrictions medium cost	only "virtual presence" in the lab

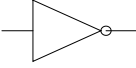


### Teori Gerbang Logika dan Rangkaian Digital (Safrianti, 2009)

Gerbang logika adalah piranti dua keadaan yaitu mempunyai keluaran dua keadaan; keluaran dengan nol (0) volt yang menyatakan logika nol atau

rendah dan keluaran dengan tegangan tetap yang menyatakan logika 1 (atau tinggi). Gerbang logika dapat mempunyai beberapa masukan yang masing-masing mempunyai salah satu dari dua keadaan logika, yaitu 0 dan 1. Gerbang logika dapat digunakan untuk melakukan fungsi-fungsi khusus, misalnya: OR, AND, NOT, NOR, NAND atau EXOR.

Macam-macam gerbang dasar yang digunakan dalam rangkaian logika adalah seperti pada Tabel 2. berikut :

**Tabel 2. Gerbang-gerbang Dasar Logika**

Nama gerbang	NOT	AND	OR																																				
Symbol																																							
Tabel Kebenaran	<table border="1"> <thead> <tr> <th>A</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	Z	0	1	1	0	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Z</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Z	0	0	0	0	1	1	1	0	1	1	1	1
A	Z																																						
0	1																																						
1	0																																						
A	B	Z																																					
0	0	0																																					
0	1	0																																					
1	0	0																																					
1	1	1																																					
A	B	Z																																					
0	0	0																																					
0	1	1																																					
1	0	1																																					
1	1	1																																					
Pers. Boolean	$Z = A'$	$Z = A \cdot B$	$Z = A + B$																																				

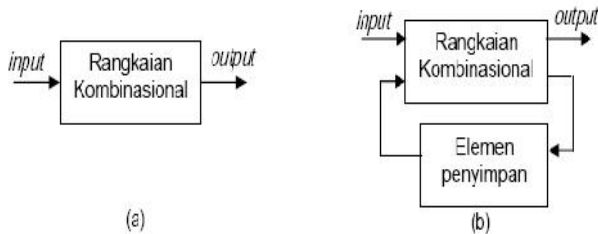
Selain gerbang dasar di atas terdapat beberapa gerbang tambahan.

### Rangkaian Digital

Berdasarkan kemampuannya menyimpan data, rangkaian digital dibedakan menjadi dua macam, rangkaian kombinasional dan rangkaian sekuensial. Blok diagram kedua rangkaian ada pada Gambar 2.1. Seperti yang telah dipelajari pada percobaan kombinasional, data dimasukkan pada waktu  $t_i$ , akan dikeluarkan pada waktu  $t_i$  juga. Pada rangkaian kombinasional, hanya ada dua keadaan, yaitu *Present Input*, yaitu data input yang diberikan pada saat itu dan *Present Output*, yaitu data yang dikeluarkan pada saat itu juga.

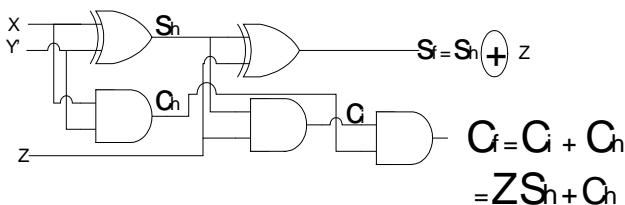
Pada rangkaian sekuensial, ada siklus umpan balik, dimana output yang dihasilkan pada waktu  $t_i$  diumpan balikkan sehingga menjadi input internal saat itu juga, bersama-sama dengan input dari luar. Hasil dari proses logika akan dikeluarkan sebagai output yang akan datang. Karena adanya siklus umpan balik, maka terjadi penundaan waktu keluar

dari data. Adanya penundaan waktu keluar tersebut dimanfaatkan oleh disainer untuk menjadikan rangkaian sekuensial sebagai rangkaian pengingat atau penyimpan data. Pada rangkaian sekuensial ada tiga keadaan *Present Input*, *Present Output* dan *Next Output*.



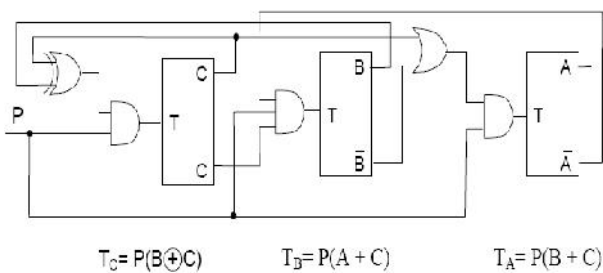
**Gambar 1. Rangkaian Digital**  
**(a) Rangkaian Kombinasional (b) Rangkaian Sekuensial**

Contoh Rangkaian Kombinasi adalah rangkaian Full Adder pada Gambar 2 berikut :



**Gambar 2. Rangkaian Full Adder**

Contoh Rangkaian Sekuensial adalah rangkaian counter pada Gambar 3 dengan flip-flop T berikut :



**Gambar 3 Rangkaian Counter**

**Simulator Logika**

**Simulator Logika Logicy (Muchlas, 2005)**

Simulator ini dibuat oleh Josh Tynjala menggunakan *Adobe Flex*. Seperti simulator *SimCir*, *Logily* sangat sederhana dan pengoperasiannya sangat mudah. Untuk keperluan simulasi rangkaian-rangkaian logika yang sederhana, simulator ini cukup baik digunakan.

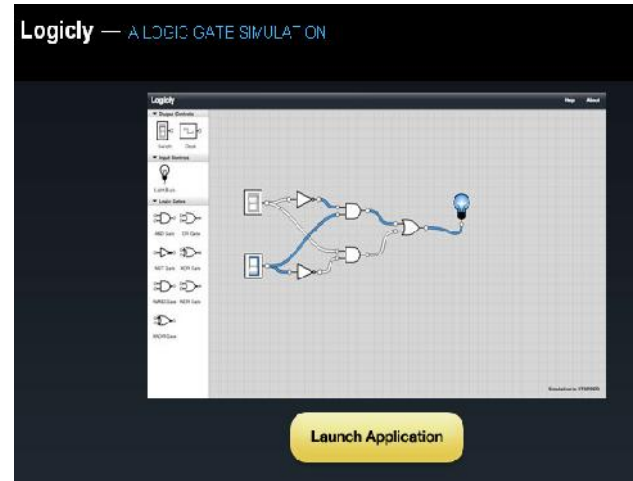
**Menjalankan Logicy:**

Karena tidak tersedia installer untuk komputer lokal, maka *Logicy* dijalankan langsung dari situsnya Josh Tynjala. Jadi, *logicy* berjalan secara online.

**Kebutuhan Sistem:**

*Logicy* dijalankan di atas web browser dan dipersyaratkan *plug-in flash player* telah terinstal di dalam komputer yang digunakan.

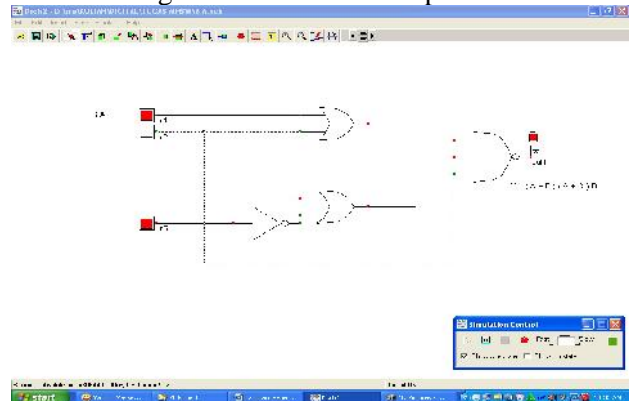
Tampilan simulator *logicy* adalah seperti Gambar 4 berikut :



**Gambar 4 Contoh Tampilan simulator Logicy**

**Simulator Logika DSCH2**

*DSCH2* merupakan perangkat lunak aplikasi yang menyediakan fasilitas editor logika dan simulator logika. Dengan program ini Anda dapat menyusun rangkaian logika melalui editor logika dan sekaligus mengujinya melalui simulator logika. Perancang perangkat lunak ini adalah Prof. Etienne SICARD dari Jurusan Teknik Elektro dan Komputer pada *The National Institute of Applied Sciences, Toulouse, Perancis*. Contoh tampilan Simulator logika *DSCH2* adalah seperti Gambar 5



**Gambar 5. Contoh Tampilan simulator DSCH2**

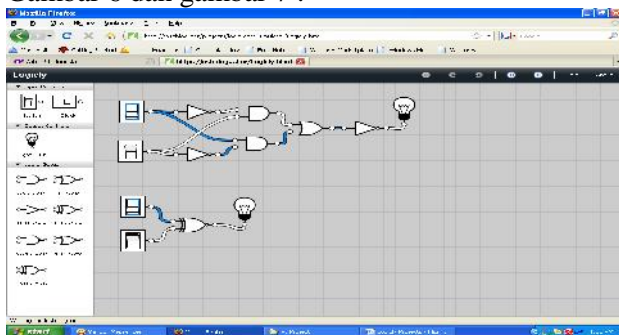
Kelebihan DSCH2 ini dapat digunakan untuk aplikasi rangkaian digital yang lebih rumit dibanding simulator logicly, karena mempunyai fasilitas yang lebih banyak dan lengkap termasuk untuk menampilkan timing diagram yang digunakan untuk menampilkan diagram waktu setelah suatu simulasi dijalankan.

Rancangan penelitian dilakukan dengan cara mengimplementasikan materi latihan perancangan rangkaian digital yang diberikan pada sesi tatap muka di kelas pada virtual laboratory secara online dan offline. Adapun tahapan kegiatan penelitian sebagai berikut:

1. Studi literatur tentang konsep virtual laboratory dan penggunaan alat bantu simulator *logicly* dan DSCH2 dalam pembuatan modul praktikum.
2. Pembuatan modul virtual laboratory online dan perancangan rangkaian logika dasar menggunakan simulator *logicly*, diantaranya : rangkaian logika dengan gerbang NOT, AND, OR, NAND, NOR dan EXOR
3. Pembuatan modul *virtual laboratory offline* dan perancangan aplikasi rangkaian digital sederhana menggunakan simulator DSCH2, diantaranya : rangkaian komparator, Half Adder, Full Adder, , Decoder, Seven segment, rangkaian sekuensial dengan flip-flop, Counter dan Register.
4. Pembuatan manual cara mengoperasikan dan menjalankan masing-masing virtual laboratory.
5. Pengujian pada jaringan internet untuk virtual laboratory online dan pengujian pada komputer pribadi untuk virtual laboratory offline.
6. Evaluasi dari hasil pengujian untuk masing-masing model virtual laboratory yang dibuat.

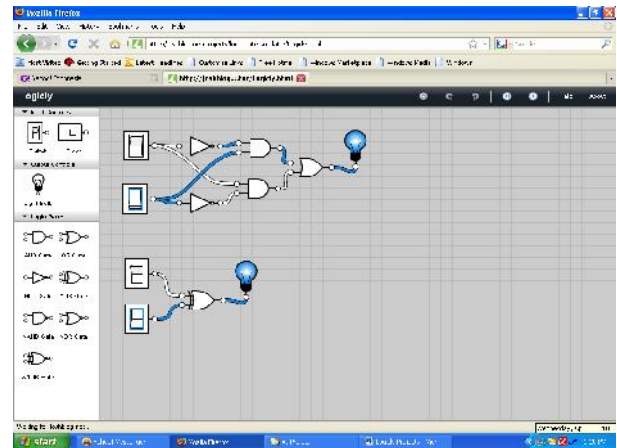
## HASIL PENELITIAN

Salah satu contoh hasil perancangan rangkaian digital menggunakan simulator *logicly* adalah seperti Gambar 6 dan gambar 7 .



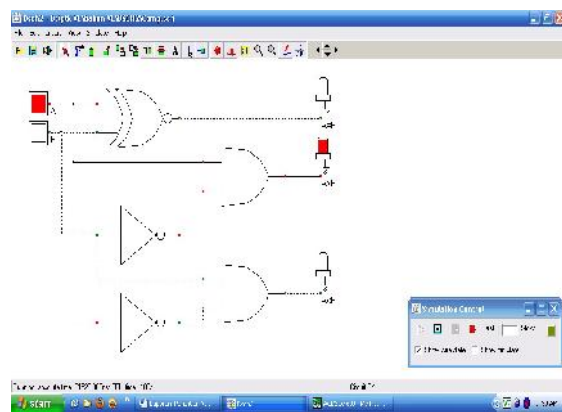
Gambar 6. Rangkaian gerbang EXNOR (EXNOR Simulator)

Rangkaian gerbang EXOR (EXOR simulator) : Hasil pembuatan rangkaian gerbang EXOR seperti Gambar 7



Gambar 7. Rangkaian gerbang EXOR

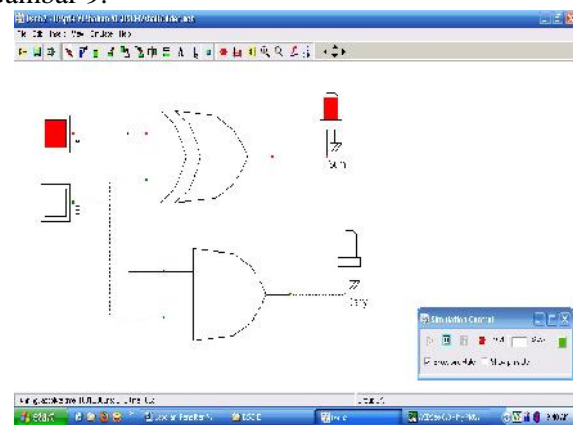
Hasil perancangan menggunakan simulator DSCH2 salah satunya adalah seperti Gambar 8, Gambar 9 dan Gambar 10.



Gambar 8. Rangkaian komparator

Rangkaian *Half Adder*

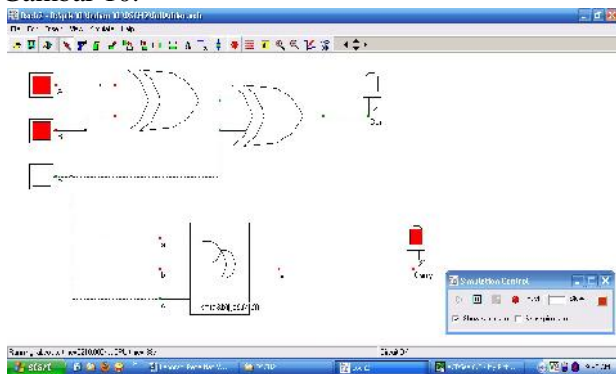
Hasil pembuatan rangkaian *Half Adder* seperti Gambar 9.



Gambar 9. Rangkaian *Half Adder*

## Rangkaian *Full Adder*

Hasil pembuatan rangkaian *Full Adder* seperti Gambar 10.



Gambar 10. Rangkaian *Full Adder*

## ANALISIS DAN PEMBAHASAN

Berdasarkan hasil uji coba untuk modul laboratorium maya *online* yang dirancang, maka dukungan fasilitas internet sangat menentukan agar praktek dapat terlaksana dengan baik. Kualitas jaringan internet yang baik dan dapat diakses dengan kecepatan yang memadai sangat menentukan kelancaran dalam pembuatan rangkaian dan pengujiaannya. Mulai dari mengakses situs yang menyediakan software simulator logika *logicy*, membuat rangkaian, sampai uji coba rangkaian yang selesai dikerjakan menuntut akses internet yang lancar dan tanpa terputus.

Tetapi karena rangkaian yang diujicobakan cukup sederhana dan mudah, menyebabkan waktu perancangan yang tidak terlalu lama sehingga bisa langsung dilakukan simulasi sebagai hasil uji coba. Dalam percobaan membuat rangkaian tidak ada kendala yang berarti, modul mudah dimengerti dan sangat membantu mahasiswa dalam memahami konsep dasar rangkaian elektronika digital. Praktek meliputi percobaan rangkaian gerbang-gerbang logika dasar yaitu gerbang NOT, AND, OR, NAND, NOR dan EXOR.

Untuk modul pada laboratorium maya *offline* menggunakan simulator DSCH2, juga dapat dipahami mahasiswa dengan baik. Praktek dilakukan setelah mahasiswa diberi penjelasan di depan kelas mengenai manual simulator DSCH2. Sebelum menggunakan simulator ini mahasiswa sudah mendapatkan teori dasar rangkaian digital, meliputi langkah-langkah perancangan rangkaian logika secara tertulis (teoritis), membuat tabel kebenaran fungsi logika, menyederhanakan fungsi serta menggambar rangkaian digital dalam bentuk gerbang-gerbang logika secara manual. Hasil perancangan manual ini kemudian diujicobakan

menggunakan simulator DSCH2 sehingga dapat dibuktikan kebenaran antara perancangan secara manual dan secara nyata di *virtual laboratory* ini.

Melalui percobaan berbagai macam rangkaian logika, mahasiswa semakin memahami konsep dan langkah-langkah dalam perancangan rangkaian tanpa harus melakukan percobaan menggunakan komponen elektronika berupa IC (*Integrated Circuit*) seperti cara konvensional pada laboratorium digital sebenarnya. Cara ini menjadi efektif dan efisien karena tidak dibutuhkan biaya untuk pembelian bahan praktikum habis pakai. Rangkaian yang bisa di buat tidak terbatas pada komponen yang tersedia dipasaran, karena melalui simulator DSCH2 kita juga bisa membeli IC virtual sesuai kebutuhan. Dari segi waktu cara ini juga memberi kebebasan pada mahasiswa dalam pelaksanaan praktek tidak terbatas pada waktu yang disediakan di kelas, tapi juga dapat dilakukan di rumah atau dimana saja baik perorangan maupun dalam kelompok. Mahasiswa tampak antusias dalam proses praktek dan berlomba-lomba untuk memperlihatkan hasil rancangannya kepada dosen. Jika berhasil dalam menjalankan simulasi berarti rangkaian yang dibuat benar, namun jika salah biasanya mahasiswa akan terus mencoba dan memeriksa kembali hasil rancangannya.

Selain percobaan yang dibuat dalam penelitian ini, modul praktek dapat lebih dikembangkan sesuai materi yang diberikan secara teoritis. Latihan soal di buku ajar maupun di buku teks yang lain juga dapat dicobakan dengan simulator logika DSCH2 sehingga akan lebih dipahami oleh mahasiswa.

## Kesimpulan

Melalui penelitian tindakan kelas ini telah selesai dirancang dua model media pembelajaran alternatif dalam mata kuliah Elektronika Digital yaitu dengan memanfaatkan simulator logika *Logicy* untuk pembuatan *virtual laboratory online* dan simulator DSCH2 untuk pembuatan *virtual laboratory offline*. Masing-masing modul terdiri dari beberapa percobaan yang akan mendukung mahasiswa dalam memahami materi perkuliahan secara teoritis yaitu, melalui praktek langsung dan melakukan simulasi rangkaian digital.

Keunggulan media ini adalah murah dalam biaya karena tidak memerlukan komponen elektronika sesungguhnya. Efektif dan efisien dalam hal penggunaan dan waktu pelaksanaan praktek, serta keleluasaan dalam berkresi merancang rangkaian digital sendiri tanpa dibatasi ketersediaan komponen di pasaran.

## Daftar Pustaka

**Bogart, T.F., 1992.** *Introduction to digital Circuits.* Singapore: McGraw-Hill International Book Co.

**Flash, J. 2008.** *Logicly-a Logic gate Simulation,* Available at : <http://joshblog.net/projects/logic-gate-simulator/>

**Mismail,B. 1998.** *Dasar-dasar Rangkaian Logika Digital,* Bandung, Penerbit ITB.

**Murdocca,M. and Heuring,V.P. 1999.** *Principles of Computer Architecture.* Englewood Cliff: Printice Hall, Inc.

**Muchlas. 2005.** *Rangkaian Digital,* Jogjakarta, Penerbit Gava Media.

**Nedic, Z. 2003.** *Remote Laboratories versus Virtual Laboratories and Real Laboratories,* IEEE November 2003.

**Safrianti, E. , 2009,** *Elektronika Digital,* Penerbit Pusat Pengembangan Pendidikan Universitas Riau.

**Sicard,E. and Xi,C. 2003.** *DSCH2 Command.* Available at : <http://intrade.insa-tlse.fr/~etienne>

**Tocci, R. & Widmer, R.S.2001.** *Digital Systems: Principles and Applications.* 8<sup>th</sup> Edition. Englewood Cliff : Printice Hall,Inc.