

BAB I

PENDAHULUAN

I.1 Latar Belakang

Konverter dc ke dc selalu menghasilkan gelombang keluaran yang mengandung harmonisa, sehingga kualitasnya akan berkurang, maka untuk mereduksi harmonisa diperlukan tapis pada sisi keluaran. Besarnya ukuran tapis sangat ditentukan oleh frekwensi dan amplitudo dari harmonisa yang akan direduksi. Makin besar frekwensi dan makin kecil amplitudo dari harmonisa, maka akan makin kecil ukuran tapis yang digunakan.

Sehingga dalam merencanakan suatu konverter dc ke dc, diusahakan frekwensi kerja yang digunakan adalah setinggi mungkin. Tetapi karena komponen semikonduktor yang digunakan mempunyai keterbatasan dalam operasinya, maka frekwensi kerja konverter dc ke dc terbatas juga.

Karena faktor keterbatasan komponen semikonduktor yang dipakai dan mahalnya tapis yang digunakan serta kapasitasnya juga terbatas untuk mereduksi harmonisa orde rendah, maka dikembangkan usaha lain untuk menanggulangi kesulitan diatas yaitu dengan memberikan penggunaan kompensasi phase lag terhadap harmonisa yang timbul dalam suatu konverter, sehingga dihasilkan catu daya yang bebas harmonisa baik harmonisa orde rendah dan orde tinggi.

I.2 Perumusan Masalah

Permasalahan yang ingin diteliti disini adalah bagaimana merancang sebuah konverter dc ke dc yang mampu menghasilkan tegangan keluaran dengan riak yang sekecil mungkin, tanpa menggunakan filter LC yang besar.

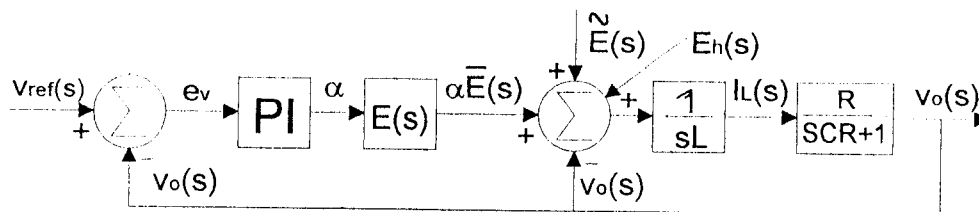
Untuk menjawab permasalahan ini penulis mengemukakan sebuah metoda baru untuk mengurangi harmonisa frekwensi rendah pada keluaran konverter dc ke dc dengan metoda kompensasi phase lag.

Dengan adanya kompensasi phase lag ini kita harapkan harmonisa keluaran konverter dc ke dc akan dapat di kurangi sehingga tidak diperlukan lagi penggunaan filter LC yang terlalu besar.

BAB II TINJAUAN PUSTAKA

II.1 Ide Dasar Kompensasi Phase Lag

Dari gambar 1, terlihat bahwa input yang menyebabkan terjadinya harmonisa pada arus induktor adalah harmonisa tegangan input \tilde{E} . Dengan asumsi bahwa, bila harmonisa tegangan input dapat dihilangkan maka arus dan tegangan keluaran menjadi konstan, maka disini kita dapat menghilangkan pengaruh dari harmonisa tegangan input \tilde{E} ini dengan menambahkan harmonisa tegangan E_h yang besarnya $-\tilde{E}$ seperti diperlihatkan pada gambar dibawah ini :



Gambar 1. Loop kendali tegangan ditambah dengan input E_h

Dengan adanya harmonisa tegangan E_h maka loop kendali tegangan akan menjadi terbebas dari pengaruh \tilde{E} , sehingga diharapkan tegangan dan arus keluaran yang dihasilkan merupakan tegangan dan arus dc yang bebas dari harmonisa. Karena arus yang mengalir ke beban sudah merupakan arus dc yang bebas dari harmonisa, maka tegangan pada beban juga menjadi tegangan dc yang bebas dari harmonisa.

Untuk menghasilkan sumber harmonisa E_h ini, dapat digunakan beberapa cara. Cara yang dikemukakan pada penelitian ini adalah dengan menapi harmonisa tegangan atau arus keluaran yang terdapat pada beban. Karen